



XA-9992  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Masanori OWAKI et al.

Appln. No.: 10/714,983

Group Art Unit: 2811

Filed: November 18, 2003

For: MULTI-CHIP MODULE

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2002-344782 filed November 28, 2002,  
and submit herewith a certified copy of said application.

Respectfully submitted,

By: 

Mitchell W. Shapiro  
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

March 5, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 8 日  
Date of Application:

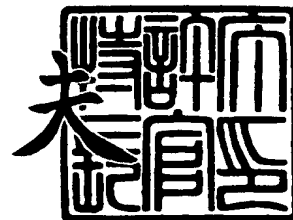
出 願 番 号                      特 願 2 0 0 2 - 3 4 4 7 8 2  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 4 4 7 8 2 ]

出      願      人                      株式会社ルネサステクノロジ  
Applicant(s):                      新光電気工業株式会社

2 0 0 3 年 1 2 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 2 8 0 7

【書類名】 特許願

【整理番号】 H02013881

【提出日】 平成14年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/52

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 大脇 政典

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 石川 智和

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 鈴木 誠

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 菊池 隆文

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 内藤 孝洋

【発明者】

【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工  
業株式会社内

【氏名】 小澤 隆史

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

## 【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

## 【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチチップモジュール

【特許請求の範囲】

【請求項 1】 搭載基板の表面上に面付けされ、相互に信号の授受を行う複数の第 1 半導体チップと、

上記複数の第 1 半導体チップ上のうちのいずれか少なくとも 1 つと背中合わせて搭載され、大半のボンディングパッドが 1 つの辺に沿って配置された第 2 半導体チップと、

上記第 2 半導体チップのボンディングパッドと上記搭載基板上に形成された対応する電極との間を接続するボンディングワイヤと、

上記搭載基板上の上記第 1、第 2 半導体チップ及びボンディングワイヤを封止する封止体とを備えてなることを特徴とするマルチチップモジュール。

【請求項 2】 請求項 1 において、

上記第 1 半導体チップは、マイクロコンピュータと、ランダムアクセスメモリ又は特定用途向の信号処理を行う信号処理装置の少なくともいずれか 1 つを含み、

上記第 2 半導体チップは、不揮発性メモリからなることを特徴とするマルチチップモジュール。

【請求項 3】 請求項 2 において、

上記マイクロコンピュータとそれに接続される上記ランダムアクセスメモリ又は特定用途向の信号処理を行う信号処理装置は、上記面付けにより搭載基板に形成された配線により相互に接続され、

上記マイクロコンピュータは、上記不揮発性メモリに対応した専用インターフェイスを含み、上記ボンディングワイヤを介して相互に接続されるものであることを特徴とするマルチチップモジュール。

【請求項 4】 請求項 3 において、

上記不揮発性メモリは、上記マイクロコンピュータを含む上記第 1 半導体チップ上に背中合わせて搭載されるものであることを特徴とするマルチチップモジュール。

**【請求項 5】** 請求項 4 において、

上記不揮発性メモリが背中合わせで搭載される第 1 半導体チップは、上記マイクロコンピュータとランダムアクセスメモリを含み、

上記ランダムアクセスメモリを構成する半導体チップの長辺と、上記不揮発性メモリを構成する半導体チップの長辺とは、互いに直交する関係に配置されるものであることを特徴とするマルチチップモジュール。

**【発明の詳細な説明】****【0 0 0 1】****【発明の属する技術分野】**

本発明は、マルチチップモジュール（MCM）に関し、例えばいくつかの異なる機能の複数の半導体チップを 1 つの搭載基板に搭載することによって実質的に一つの半導体集積回路装置として一体構成にするマルチチップモジュール適用して有効な技術に関するものである。

**【0 0 0 2】****【従来の技術】**

いわゆるマルチチップモジュール技術では、複数の半導体チップが、複数の内部配線と複数の外部端子とを持つような搭載基板に搭載され、それら複数の半導体チップと搭載基板とが一体化された装置とされる。特開 2 0 0 1 - 3 2 0 0 1 4 公報、特開 2 0 0 0 - 2 9 9 4 3 1 公報には、2 チップスタック構造であって、上チップが下チップよりも大きい例が示されている。特開平 1 1 - 2 1 9 9 8 9 号公報には、2 チップスタック構造であって、フラッシュメモリと S R A M の組み合わせの例が示されている。

**【0 0 0 3】****【特許文献 1】**

特開 2 0 0 1 - 3 2 0 0 1 4 公報

**【特許文献 2】**

特開 2 0 0 0 - 2 9 9 4 3 1 公報

**【特許文献 3】**

特開平 1 1 - 2 1 9 9 8 9 号公報

## 【0 0 0 4】

## 【発明が解決しようとする課題】

半導体技術の進歩は、マイコン用チップ、D R A Mチップ、フラッシュメモリ用チップのような電子システムを構成するための複数の半導体チップを全体として1つのパッケージ形態の半導体装置として構成しようとする技術の方向性を生み出している。すなわち、複数の半導体チップではなく、各々1個ずつの半導体チップをQ F P (Quad Flat Package) やC S P (Chip Size Package又はChip Scale Package), B G A (Ball Grid Array) といった通常パッケージ技術によってパッケージした複数の半導体装置を用い、それら複数の半導体装置をプリント基板のような実装基板上に実装する場合には、半導体チップ間の距離及びその配線距離を小さくすることが難しくなり、配線による信号遅延が大きく、装置の高速化・小型化の上での制約が生じてしまう。

## 【0 0 0 5】

これに対して、マルチチップモジュール (Multi Chip Module) 技術においては、いわゆるベアチップと称されるような著しく小型の形態にされた複数の半導体チップを一つのパッケージの形態での半導体装置とするため、各チップ間の配線距離を短くすることができ、半導体装置の特性を向上させることができる。また、複数のチップを一つのパッケージとすることによって、半導体装置を小型化でき、かつその実装面積を減少させて半導体装置を小型化できる。

## 【0 0 0 6】

マルチチップモジュールとして構成するための半導体チップとしては、例えば、マイコン用チップと、かかるマイコン用チップに結合されるD R A Mあるいはフラッシュメモリ用チップのように、互いに密接に関連したものが選ばれることが望ましい。このような互いに密接に関連する複数の半導体チップの組み合わせを選択するときにはマルチチップモジュールの特徴を十分に生かすことができるようになる。しかしながら、前記特許文献1ないし3においては、このようなマルチチップモジュールの特徴である全体としての機能の向上や、更なる小型化に関して何等配慮が成されておらず、専ら個々のチップをスタック構造にとすることとで止まるものである。

**【 0 0 0 7 】**

本発明の目的は、高性能化を図りつつ、いっそうの小型化を実現したマルチチップモジュールを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【 0 0 0 8 】****【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。互いに信号授受を行う複数の第 1 半導体チップを搭載基板の表面上に面付けし、かかる複数の第 1 半導体チップのうちの少なくとも 1 つと背中合わせで大半のボンディングパッドが 1 つの辺に沿って配置された第 2 半導体チップを搭載してボンディングパッドと上記搭載基板上に形成された対応する電極との間をワイヤボンディングで接続し、上記搭載基板上の上記第 1、第 2 半導体チップ及びボンディングワイヤを封止体で封止する。

**【 0 0 0 9 】****【発明の実施の形態】**

図 1 には、この発明に係るマルチチップモジュールの一実施例の上面図が示されている。搭載基板上にフラッシュ E E P R O M (Flash Electrically Erasable and Programmable Read Only Memory ; 以下単にフラッシュメモリ) F L A S H とデジタル信号装置 A S I C が示されている。上記フラッシュメモリ F L A S H の下部には、図 2 に示したようにマイクロコンピュータ S H と、シンクロナス・ダイナミック・ランダム・アクセス・メモリ (Synchronous Dynamic Random Access Memory ) S D R A M が搭載されている。

**【 0 0 1 0 】**

つまり、搭載基板の表面には、図 2 に示したようにマイクロコンピュータ S H と、シンクロナス・ダイナミック・ランダム・アクセス・メモリ S D R A M 及びデジタル信号装置 A S I C が面付け実装される。そして、上記フラッシュメモリ F L A S H は、図 2 では点線で示したように上記 2 つの半導体チップ S H 及び S D R A M に跨がって背中合わせで (チップの裏面同士が向かい合うように) 搭載される。

## 【 0 0 1 1 】

図 2 の半導体チップ S H、S D R A M 及び A S I C は、上記搭載基板の一方の主面側に、半導体チップの回路形成面が向かい合うように搭載される。マルチチップモジュールの複数の外部端子は、搭載基板の他方の主面側に配置される。この構成は、上記複数の半導体チップが占める面積と、複数の外部端子を配列するために必要とされる面積とにかかわらずに、マルチチップモジュールをコンパクトなサイズにすることを可能とする。

## 【 0 0 1 2 】

上記半導体チップ S H、S D R A M 及び A S I C は、いわゆるベアチップから構成され、搭載基板に面付け可能な複数の bumps 電極を持つ。各半導体チップは、必要に応じて、エリア・アレイ・パッドと称されるような技術、すなわち、素子及び配線が完成された半導体チップの回路形成面上にポリイミド樹脂からなるような絶縁膜を介してパッド電極（ボンディングパッド）の再配置を可能とする配線を形成し、かかる配線にパッド電極（bump 接続用ランド電極）を形成するような技術によって構成される。

## 【 0 0 1 3 】

上記エリア・アレイ・パッド技術によって、半導体チップ S H、S D R A M 及び A S I C における外部端子としての数十  $\mu\text{m}$  ないし 100  $\mu\text{m}$  ピッチのような比較的小さいピッチに配列されたパッド電極は、0.1 mm ~ 0.2 mm のような径とされ、かつ 400  $\mu\text{m}$  ~ 600  $\mu\text{m}$  ピッチのような比較的大きなピッチの bumps 電極配列に変換される。エリア・アレイ・パッド技術は、S D R A M のような、その入出力回路とパッド電極が半導体チップの中央に配列されることが好適な半導体チップの面付けチップ化に有効である。

## 【 0 0 1 4 】

搭載基板は、ガラスエポキシもしくはガラスからなるような絶縁基板と、かかる絶縁基板上に形成された多層配線構成からなるような比較的微細な内部配線と、半導体チップの bumps 電極に電氣的結合されるべき複数のランドと、複数の外部端子とを持つ。搭載基板は、上記半導体チップ搭載側の主面に、上記ランドの他に、フラッシュメモリ F L A S H に設けられたボンディングパッドとのワイヤ

接続するための電極も形成される。

#### 【0015】

この実施例のフラッシュメモリは、いわゆるAND型と称され、独立したアドレス端子を持たない。アドレス信号は、データ端子を利用して時分割的にシリアルに入力される。つまり、この実施例のフラッシュメモリでは、図5に示すように、データ端子I/O(7:0)を介して動作モードを指定するコマンド及びアドレス、データも取り込まれるようにされる。入出力バッファを介して入力された入力信号は、内部信号線を通してコマンドデコーダ、アドレスカウンタ等に伝えられる。このため、半導体チップの1つの辺(この実施例では長辺)に沿って□で示したボンディングパッドが配置され、そこからボンディングワイヤにより搭載基板の対応する電極と接続される。

#### 【0016】

図1及び図2には、搭載基板及び各半導体チップSH、SDRAM、ASIC及びFLASHのサイズ(横×縦)mmが例示的に示されている。搭載基板は、 $19 \times 13$ の大きさとされ、SHは $5.05 \times 5.05$ とされ、SDRAMは $8.70 \times 5.99$ とされ、ASICは $6.25 \times 6.15$ とされ、FLASHは $7.32 \times 10.46$ とされる。ただし、FLASHは、縦置きにされるので横×縦のようにサイズが表されている。

#### 【0017】

搭載基板上に効率よく、上記4つの半導体チップを搭載させるために、長方形のSDRAMの長辺を横置とし、縦方向に正方向のSHを並べて、FLASHの長辺の長さと合わせることにより、SDRAMとSH上にFLASHを背中合わせで積層(スタック)構造とすることができる。つまり、搭載基板からみると、SHとSDRAMの搭載面上にFLASHをまるまる搭載させることができる。したがって、ASICを含めて3個分の半導体チップを搭載させるようにした搭載基板上に、FLASHを含めた4個分の半導体チップを搭載させることができる。

#### 【0018】

図3には、この発明に係るマルチチップモジュールの概略断面図が示されてい

る。図3のA（断面図）は、図1の矢印A側から見た断面図であり、図3のB（断面図）は、図1の矢印B側から見た断面図である。したがって、図3のAとBは、左右が逆になっている。前記説明したように搭載基板の主面側に半導体チップSH、SDRAM及びASICが面付けされ、そのうちの半導体チップSH及びSDRAMと背中合わせで熱硬化性接着剤等を介してフラッシュメモリFLASHが搭載され、ボンディングワイヤ（コネクタワイヤ）により搭載基板の対応する電極と接続される。上記搭載基板の半導体チップSH、SDRAM、ASIC及びFLASHが搭載される主面側は、ボンディングワイヤを含んで封止体により封止されている。

#### 【0019】

図3において、マルチチップモジュールの外部端子は、図示しないけれども、搭載基板に形成された孔を介して内部配線に電気接続されるようなバンプ電極から構成され、上記搭載基板の他方の主面（裏面）側に設けられる。上記半導体チップSH、SDRAM及びASICにおけるバンプ電極がマイクロバンプと称されても良い比較的小さいサイズ、比較的小さいピッチとされるのに対して、搭載基板における外部端子としてのバンプ電極は比較的大きいサイズと比較的大きいピッチとされる。

#### 【0020】

図4には、この発明に係るマルチチップモジュールの組み立て工程の概略説明図が示されている。同図には、組み立て工程と、それに対応した熱履歴と概略縦構造が示されている。ベアチップ1のパッド上にAuバンプを形成する。MCM基板電極に異方導電性フィルムACFを仮付けし、上記パッド上にAuバンプが形成されたベアチップをMCM基板にマウントし、加熱圧着が実施される。そして、ベアチップ2がベアチップ1と背中合わせで熱硬化性接着剤により接着され、ワイヤボンディングによりMCM基板の対応する電極と接続され、図示しないけれども前記樹脂封止が行われて、最後に外部端子としてのボール付けリフローがなされてMCMが形成される。

#### 【0021】

図5には、この発明に係るマルチチップモジュールの一実施例のブロック図が

示されている。同図は、図1等のマイクロコンピュータSHと、メモリSDRAM及びフラッシュメモリFLASHとの電氣的な接続関係が信号端子名とともに例示的にされている。

#### 【0022】

図1のようなマイクロコンピュータSH、メモリSDRAM（及びデジタル信号装置ASIC）及びフラッシュメモリFLASHとが組み合わされたマルチチップモジュールの特徴を生かしつつ、高性能で小型化を可能にするために、相互に信号の授受が行われるマイクロコンピュータSH、メモリSDRAM（及びデジタル信号装置ASIC）は、搭載基板に形成されたアドレスバス（13bit）、データバス（32bit）及び制御バスにより相互に接続される。

#### 【0023】

例えば、アドレスバスは、SDRAMのアドレス端子A0～A12に対応された13本からなり、データバスは、SDRAMのデータ端子DQ0～DQ31に対応された32本からなる。上記マイクロコンピュータSHは、上記アドレスバスに対してA2からA14のアドレス端子が接続され、上記データバスに対してはD0～D31が接続される。

#### 【0024】

上記マイクロコンピュータSHは、信号SDRAMに対応されたCKIO、CKE、CS3B、RAS3LB、CASLB、RD/WRBとWE3B/DQMUUB, WE2B/DQMULB及びWE1B/DQMLUB, WE0B/DQMLLの各制御出力端子を持ち、それぞれがSDRAMのCLK、CKE、CSB、RASB、CASB、WEBとDQM7, DQM5, DQM2, DQM0に接続される。ここで、各端子名にBを付したものは、図面上では端子名にオーバーバーを付したロウレベルをアクティブレベルとする論理記号に対応している。上記端子WE3B/DQMUUB, WE2B/DQMULB及びWE1B/DQMLUB, WE0B/DQMLLは、マクス信号であり、上記32ビットからなるデータバスを8ビットずつ4組に分け、WE3B/DQMUUB, WE2B/DQMULB及びWE1B/DQMLUB, WE0B/DQMLLによりライト/リードの選択的なマスクを行う。

## 【0025】

上記デジタル信号装置ASICも上記基本的には前記アドレスバスとデータバスに接続され、必要に応じて制御信号を伝える信号線が設けられる。デジタル信号装置は、例えば、マルチチップモジュールの特定用途に向けたデジタル信号処理を行うものであり、上記マイクロコンピュータSHと協同して専門的な特定信号処理を受け持つようにされる。これら半導体チップの信号伝達速度は、高速に行うことが必要であり、搭載基板に形成されたバス等の配線に前記面付け実装することにより、最短距離での信号伝達経路が形成されて高速な信号授受が可能となるので高性能化を実現できる。

## 【0026】

この実施例のマイクロコンピュータSHは、上記フラッシュメモリFLASHに対応したインターフェイスを備えている。つまり、フラッシュメモリFLASHは、データ端子I/O(7:0)と、制御信号WEB, SC, OEB, RDY/BusyB, CEBを備えている。これに対応して、マイクロコンピュータSHにも、NA\_\_IO(7:0)と、制御信号NA\_\_WEB, NA\_\_SC, NA\_\_OEB, NA\_\_RYBY, NA\_\_CEBが設けられる。マイクロコンピュータSHと上記フラッシュメモリFLASHとの間の書き込み/読み出し動作は、前記SDRAM等との動作速度に比べて遅いので、前記ボンディングワイヤが信号伝達経路となっても伝達速度には支障はないので、全体としての高性能化を図りつつ、MCMの小型化が可能になる。

## 【0027】

図6には、この発明に係るマルチチップモジュールの搭載基板の一実施例の配線パターン図が示されている。搭載基板は、例えば8層等の多層の配線基板から構成されるが、同図にはそのうち半導体チップが搭載される主面部であって、マイクロコンピュータSHとメモリSDRAMが搭載される部分が例示的に示されている。

## 【0028】

同図において、直線や折れ線は配線を表し、黒い長方形はフラッシュメモリFLASHとの接続に用いられるボンディングパッドを表し、\*で示したのは基板

電極であり、マイクロコンピュータSHとメモリSDRAM等の半導体チップとの面付け用の基板電極を表している。同図の上部には、前記図2に示したようにほぼ正方形のマイクロコンピュータSHに対応した基板電極が配置され、図面下部には、横長のメモリSDRAMに対応した基板電極が配置されている。そして、図面左側にボンディングパッドが縦方向に並んで配置される。

#### 【0029】

前記のようにフラッシュメモリFLASHをマイクロコンピュータSHとメモリSDRAMの上に背中合わせで搭載する構成は、単にSHとSDRAMの搭載面上にFLASHをまるまる搭載させることに止まらない。上記のようにフラッシュメモリFLASHのボンディングパッドが、長辺側の1つに並んで配置されることから、同図のように搭載基板のボンディングパッドも、1列に並べて配置させることができる。これにより、搭載基板に形成されるボンディングパッドが占める面積も小さくすることができる。

#### 【0030】

ちなみに、図9には、本願発明に先立って検討されたマルチチップモジュールの一実施例の概略配置図が示されている。この検討例では、フラッシュメモリFLASHとメモリSDRAMの上にマイクロプロセッサCPUを背中合わせで搭載するものである。マイクロプロセッサCPUは、外部端子数が多く、チップの周辺に沿って多数設けられる。このため、CPUのボンディングパッドに対応して搭載基板に設けられるボンディングパッドが、上記FLASHとSDRAMの外側に分散して多数配置されることが必要となり、搭載基板におけるボンディングパッドが占める面積が大きくなってしまう。

#### 【0031】

また、回路動作の性能面から見ても、高速な信号伝達を行う必要のあるマイクロプロセッサCPUの信号伝達経路に比較的長く形成されるボンディングワイヤが含まれることとなり、ボンディングワイヤの比較的大きなインダクタンス成分によって高周波数のクロック及びそれに同期した信号伝達の速度を妨げるという問題が生じる。これに対して、本願発明のマルチチップモジュールでは、搭載基板の小型化が可能であるばかりか、回路動作の性能面でも有利なものとなる。

## 【0032】

図7には、この発明に用いられるフラッシュメモリの一実施例のボンディングパッドの配置図が示されている。ボンディングパッドは、長方形の基板の一方の長辺（ボトム：BOTTOM）側にPAD1～PAD34が並んで配置される。図5に示したような信号用のパッドの他、電源電圧VCC、VSS等や動作電圧のパッドを含んでいる。

## 【0033】

図8には、この発明に係るマルチチップモジュールの一実施例の全体構成図が示されている。マルチチップモジュールの厚みは、例えば、1.70mm（max）のように薄く形成され、裏面側には全体で395個の外部端子（ピン）としての半田ボールが設けられる。1つの半田ボール接続部（ランド）の大きさは、 $\phi = 0.35\text{mm}$ のような大きさとされ、そのピッチは0.65mmとされる。

## 【0034】

半導体チップと搭載基板の接続を金（Au）／半田（Sn等）接合を用い、かつ、搭載基板の裏面側にボール状の突起電極を有しないランド・グリッド・アレイ（LGA）型のマルチチップモジュールの例を次に説明する。

## 【0035】

図10に示すように、本実施形態のMCMは、基本的に前述した図1～図8で説明したMCMと同様の構成になっており、以下の構成が異なっている。即ち、Auスタッドバンプ1は、接合材2を介在して搭載基板3の接続部4に電気的にかつ機械的に接続されている。そして、半導体チップ5と搭載基板3との間には、搭載基板3と半導体チップ5との熱膨張係数の差に起因する熱応力の集中によって生じる半導体チップ5の破損を抑制するため、アンダーフィル樹脂6が充填されている。更に、搭載基板3の裏面には、例えばプリント配線基板（PCB）に電気的に接続するための外部端子としてのランド電極7が形成されている。

## 【0036】

本実施例では上記図1～図8に示したボール状の突起電極は形成していなく、従って、モジュールの小型化、薄型化に優れる。また、図示しないが、ランド電極7の表面にCr／Cu／Au等のバリア層を形成してもよい。ここでは、一つ

の半導体チップ5を代表的に図示しており、上記したSH, SDRAM及びASICのそれぞれが搭載基板3上にフリップチップ実装されている。

#### 【0037】

搭載基板3は、主に、リジット基板（コア基板）8と、このリジット基板8の互いに向かい合う両面上にビルドアップ法によって形成された柔軟層9, 10と、この柔軟層9, 10を覆うようにして形成された保護膜11, 12とを有する構成になっている。リジット基板8及び柔軟層9, 10は、詳細に図示していないが、例えば多層配線構造になっている。リジット基板8の各絶縁層は、例えばガラス繊維にエポキシ系若しくはポリイミド系の樹脂を含浸させた高弾性樹脂基板で形成され、柔軟層9, 10の各絶縁層は、例えばエポキシ系の低弾性樹脂で形成されている。

#### 【0038】

上記リジット基板8及び柔軟層9, 10で形成される多層配線の各配線層は、例えば銅（Cu）からなる金属膜で形成されている。保護膜11及び12は、例えばポリイミド系の樹脂で形成されている。保護膜11は、主に柔軟層9の最上層の配線層に形成された配線を保護する目的で形成され、半導体チップ5に対しては実装時における接着用樹脂との接着力の確保や実装時の半田濡れ広がりを制御する。保護膜12は、主に柔軟層10の最上層の配線層に形成された配線を保護する目的で形成され、ランド電極7に対しては半田実装時の半田濡れ広がりを制御する。

#### 【0039】

半導体チップ5は、これに限定されないが、主に、半導体基板と、この半導体基板の一主面に形成された複数の半導体素子と、前記半導体基板の一主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）とを有する構成になっている。半導体基板は例えば単結晶シリコンで形成され、絶縁層は例えば酸化シリコン膜で形成され、配線層は例えばアルミニウム（Al）又はアルミニウム合金等の金属膜で形成されている。表面保護膜は例えば酸化シリコン又は窒化シリコン等の絶縁膜及び有機絶縁膜で形成されている。

## 【0 0 4 0】

半導体チップ5の互いに対向する一主面及び他の主面（裏面）のうちの一主面には、複数の電極パッド13が形成されている。複数の電極パッド13は、半導体チップ5の多層配線層のうちの最上層の配線層に形成され、半導体チップ5の表面保護膜に形成されたボンディング開口によって露出されている。複数の電極パッド13は、半導体チップ5の各辺に沿って配列されている。複数の電極パッド13の夫々の平面形状は例えば70 [ $\mu$ m]  $\times$  70 [ $\mu$ m] の四角形状で形成されている。また、複数の電極パッド13の夫々は例えば85 [ $\mu$ m] 程度の配列ピッチで配置されている。

## 【0 0 4 1】

半導体チップ3の一主面には、突起状電極として例えば金（Au）からなるスタッドバンプ1が配置されている。複数のスタッドバンプ1は半導体チップ5の一主面に配置された複数の電極パッド13上に夫々配置され、電氣的にかつ機械的に接続されている。スタッドバンプ1は、例えば、Auワイヤを使用し、熱圧着に超音波振動を併用したボールボンディング法によって形成されている。ボールボンディング法は、Auワイヤの先端部にボールを形成し、その後、超音波振動を与えながらチップの電極パッドにボールを熱圧着し、その後、ボールの部分からAuワイヤを切断してバンプを形成する方法である。従って、電極パッド上に形成されたスタッドバンプは、電極パッドに対して強固に接続されている。

## 【0 0 4 2】

以下、上記MCMの製造について、図11乃至図13を用いて説明する。図11乃至図13は、MCMの製造を説明するための要部断面図である。図11に示すように、搭載基板3の一主面のチップ実装領域に配置された接続部4上に、例えばディスペンス法でペースト状の接合材2を供給する。接合材2としては、半田ペースト材を用いる。半田ペースト材としては、少なくとも微少な半田粒子とフラックスとを混練した半田ペースト材を用いる。本実施形態では、例えば300℃程度の融点を有する98 [wt %] Pb（鉛）－2 [wt %] Sn（錫）組成の半田粒子を混練した半田ペースト材を用いた。ディスペンス法とは、半田ペースト材を細いノズルから突出させて塗布する方法である。

**【0043】**

次に、図12に示すように、搭載基板3をヒートステージ14上に配置し、その後、接続部4上にスタッドバンプ1が位置するようにチップ実装領域上に半導体チップ5をコレット15で搬送し、その後、搭載基板3をヒートステージ14で加熱し、かつ半導体チップ5をコレット15で加熱して、図13に示すように接合材2を溶融し、その後、溶融した接合材2を凝固させる。これにより、搭載基板3の一主面のチップ実装領域に半導体チップ3が実装される。

**【0044】**

そして、前記図10に示すように、搭載基板3の一主面のチップ実装領域と半導体チップ5との間にアンダーフィル樹脂6を充填する。この後、上記図1～図8に示したMCMと同様に、半導体チップ5上に、その裏面同士が向かい合いようにFLASHを積層し、その後、FLASHの電極パッドと搭載基板3の接続部4をボンディングワイヤで接続し、最後に4個の半導体チップSH, SDRAM, ASIC及びFLASH及び前記ボンディングワイヤを樹脂で封止することによりMCMがほぼ完成する。

**【0045】**

LGA型MCMをPCBに実装する場合は、例えば、予めPCB側の接続用電極に印刷等で半田層を形成しておき、LGA型MCMの裏面に形成されたランド電極を上記PCB側の接続用電極に位置合わせを行い、その後、半田リフローを行うことにより、上記半田層によって両者の接続が行われる。また、LGA型MCMのランド電極に予め印刷等で半田層を薄く形成しておいてもよい。

**【0046】**

更に、図1及び図2では、SH, SDRAM, ASIC及びFLASHの4個のチップのみを示したが、更に周辺回路用チップを追加搭載してもよい。この場合、周辺回路用チップは、上記SH, SDRAM, ASICと同様に上記スタッドバンプ1のような突起電極により上記搭載基板にフェースダウンで搭載され、図5に示したSHとASICを接続するアドレスバス、データバスに共通接続される。

**【0047】**

つまり、フェースダウンでバンプ接続されたチップであるSH, SDRAM, ASIC, 周辺回路は、共通バスで接続され、モジュールの高速化が図られている。一方、少なくとも1つのチップ上に積層されたFLASHは、ボンディングワイヤにより、搭載基板の電極パッドに接続され、SHのみと独立に接続する専用バスI/FによりSHと接続され、モジュールの小型化が図られている。

#### 【0048】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えばマルチチップモジュールには、ASICに代えてCPUと協同して動作するデジタル・シグナル・プロセッサ(DSP)等のコプロセッサも搭載されるものであってもよい。この場合には、両者を密接に関連して動作させるための制御信号を持つので、前記面付けによる基板配線により相互に接続することより高性能化が図られる。この発明は、マルチチップモジュールを構成する半導体装置に広く利用できる。

#### 【0049】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。互いに信号授受を行う複数の第1半導体チップを搭載基板の表面上に面付けし、かかる複数の第1半導体チップのうちの少なくとも1つと背中合わせで大半のボンディングパッドが1つの辺に沿って配置された第2半導体チップを搭載してボンディングパッドと上記搭載基板上に形成された対応する電極との間をワイヤボンディングで接続し、上記搭載基板上の上記第1、第2半導体チップ及びボンディングワイヤを封止体で封止することにより、マルチチップモジュールの高性能化と小型化を実現できる。

##### 【図面の簡単な説明】

##### 【図1】

この発明に係るマルチチップモジュールの一実施例を示す上面図である。

##### 【図2】

図1のマルチチップモジュールの搭載基板表面のチップ配置図である。

**【図 3】**

図 1 のマルチチップモジュールの概略断面図である。

**【図 4】**

この発明に係るマルチチップモジュールの組み立て工程の概略説明図である。

**【図 5】**

この発明に係るマルチチップモジュールの一実施例を示すブロック図である。

**【図 6】**

この発明に係るマルチチップモジュールの搭載基板の一実施例を示すパターン図である。

**【図 7】**

この発明に用いられるフラッシュメモリの一実施例を示すボンディングパッドの配置図である。

**【図 8】**

この発明に係るマルチチップモジュールの一実施例を示す全体構成図である。

**【図 9】**

本願発明に先立って検討されたマルチチップモジュールの一実施例を示す概略配置図である。

**【図 1 0】**

この発明に係るマルチチップモジュールの変形例を示す要部断面図である。

**【図 1 1】**

図 1 0 に示したマルチチップモジュールの製造方法を示す要部断面図である。

**【図 1 2】**

図 1 0 に示したマルチチップモジュールの製造方法を示す要部断面図である。

**【図 1 3】**

図 1 0 に示したマルチチップモジュールの製造方法を示す要部断面図である。

**【符号の説明】**

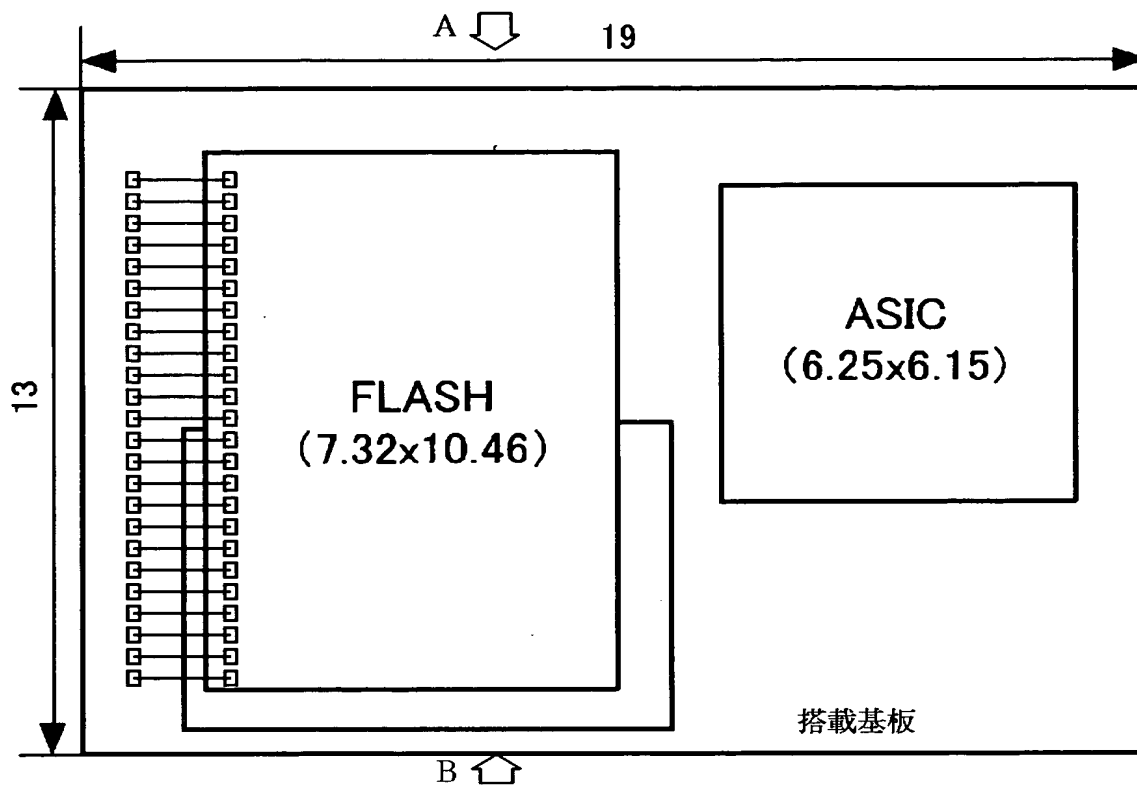
F L A S H…フラッシュメモリ、S H…マイクロコンピュータ、A S I C…デジタル信号装置、S D R A M…メモリ、C P U…マイクロプロセッサ、

1…A u スタッドバンプ、2…接合材、3…搭載基板、4…接続部、5…半導

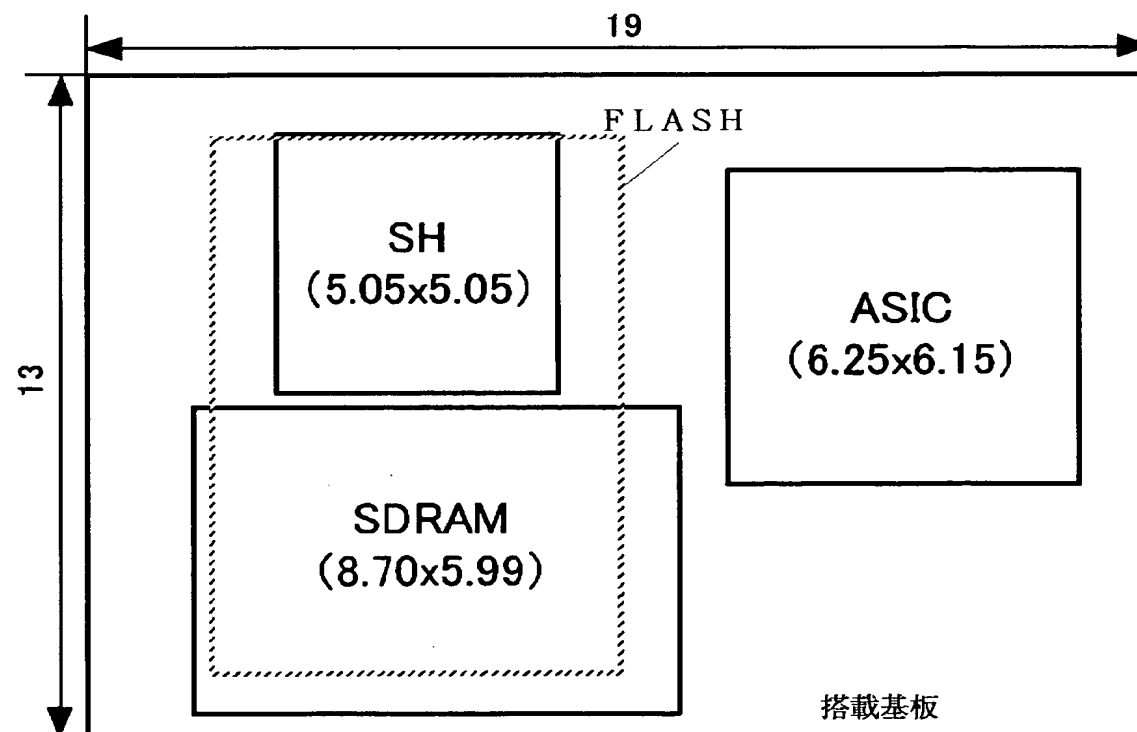
体チップ、6…アンダーフィル樹脂、7…ランド電極、8…リジット基板、9，  
10…柔軟層、11，12…保護膜、13…電極パッド、14…ヒートステージ  
。

【書類名】 図面

【図 1】

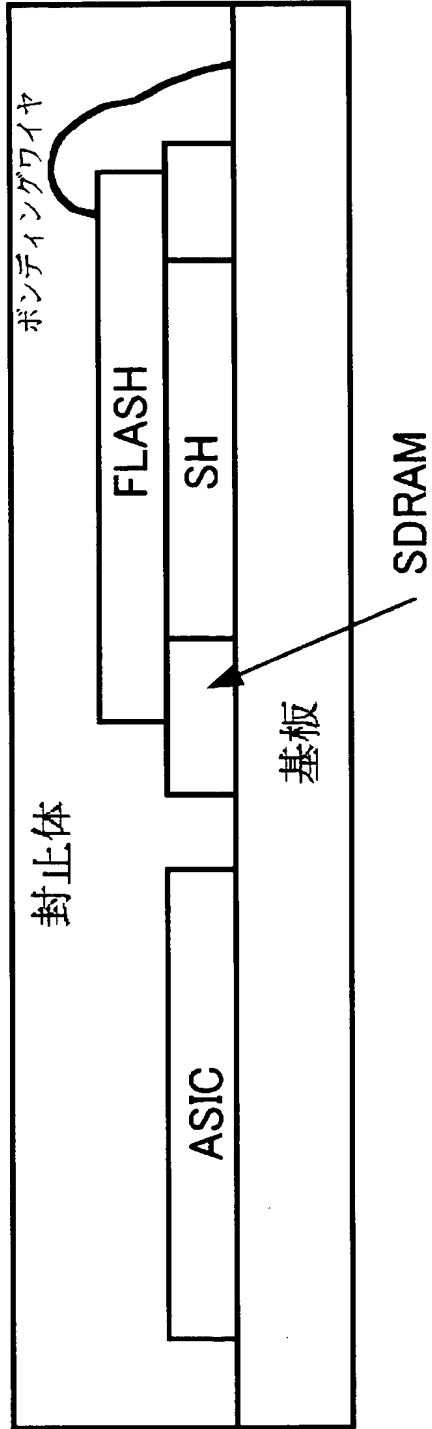


【図 2】

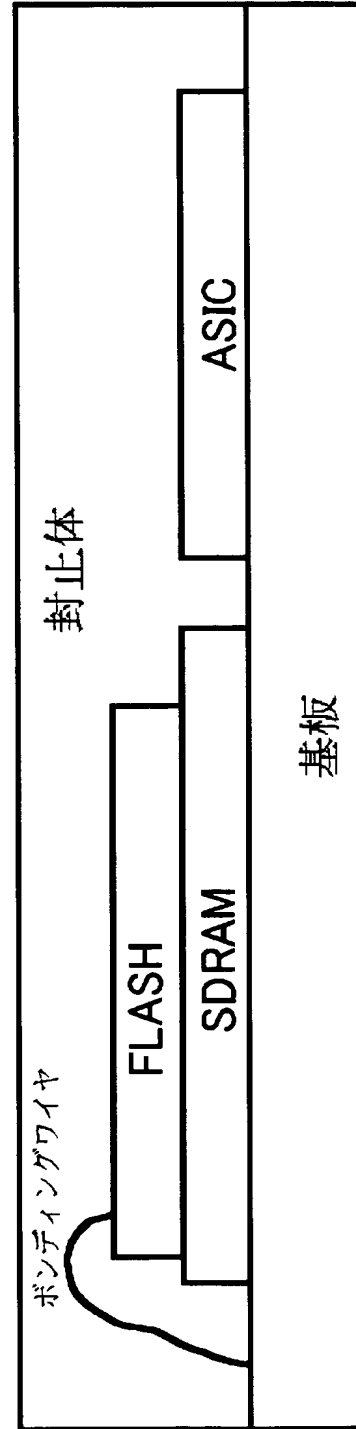


【図 3】

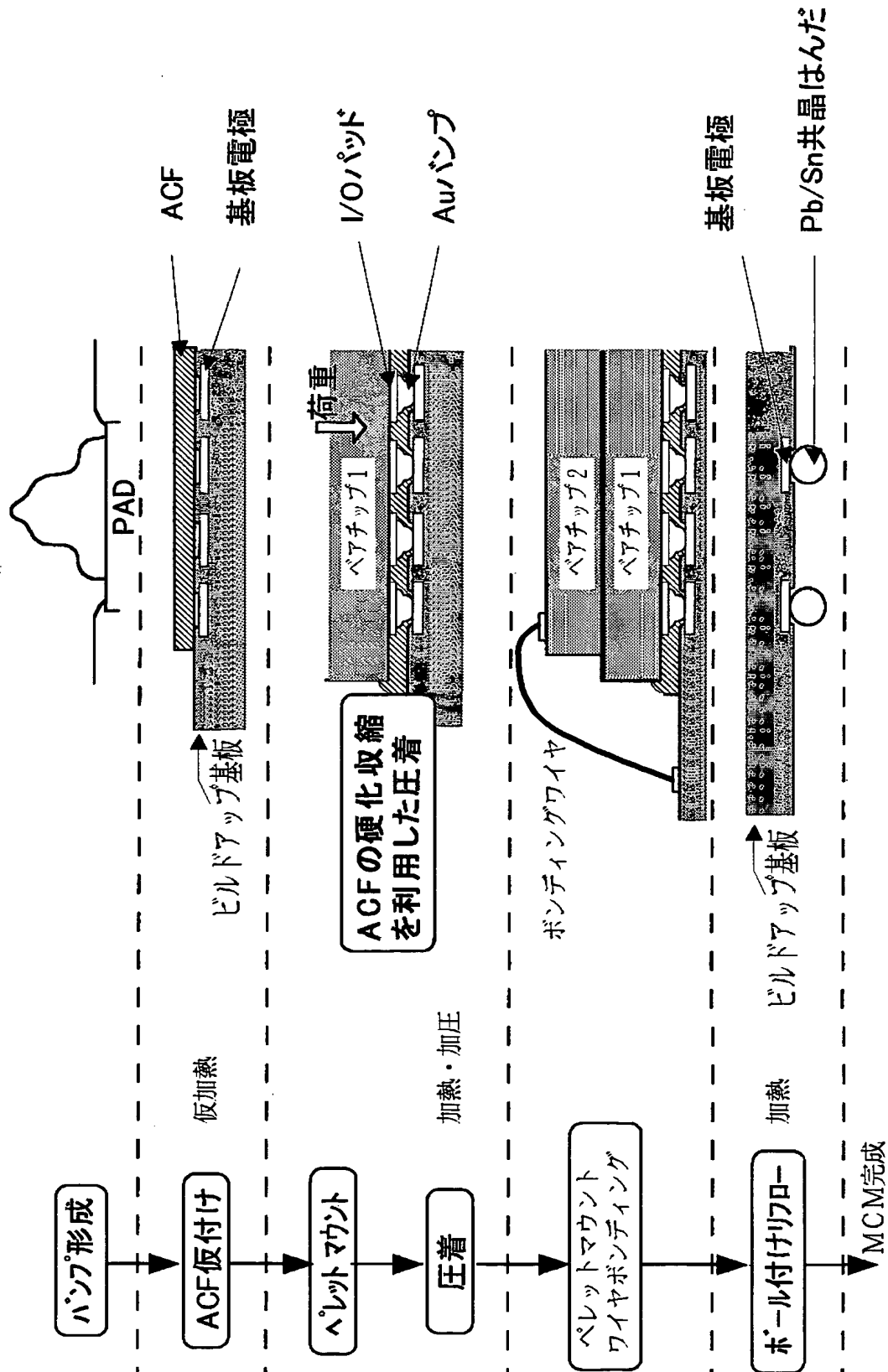
A(断面図)



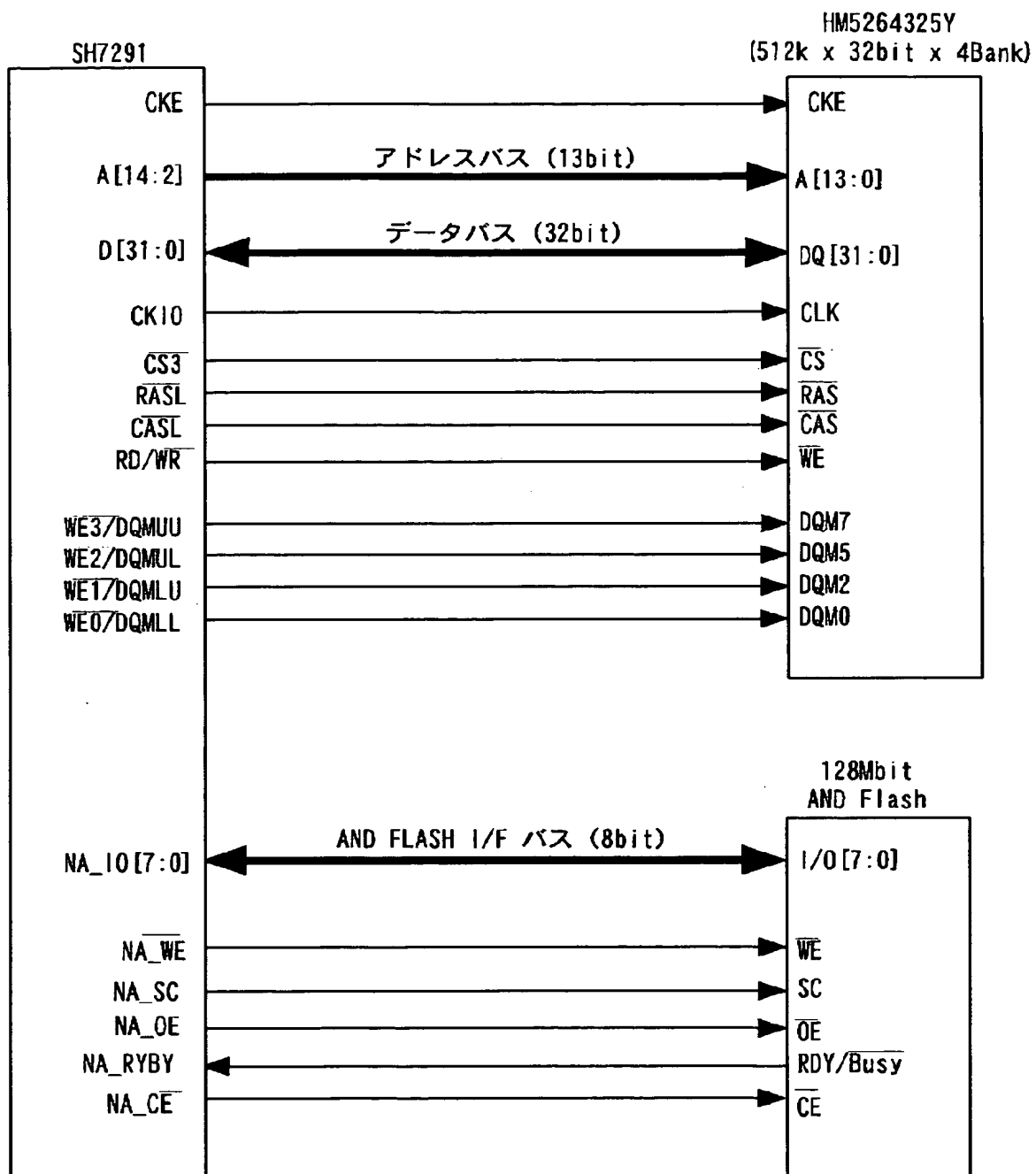
B(断面図)



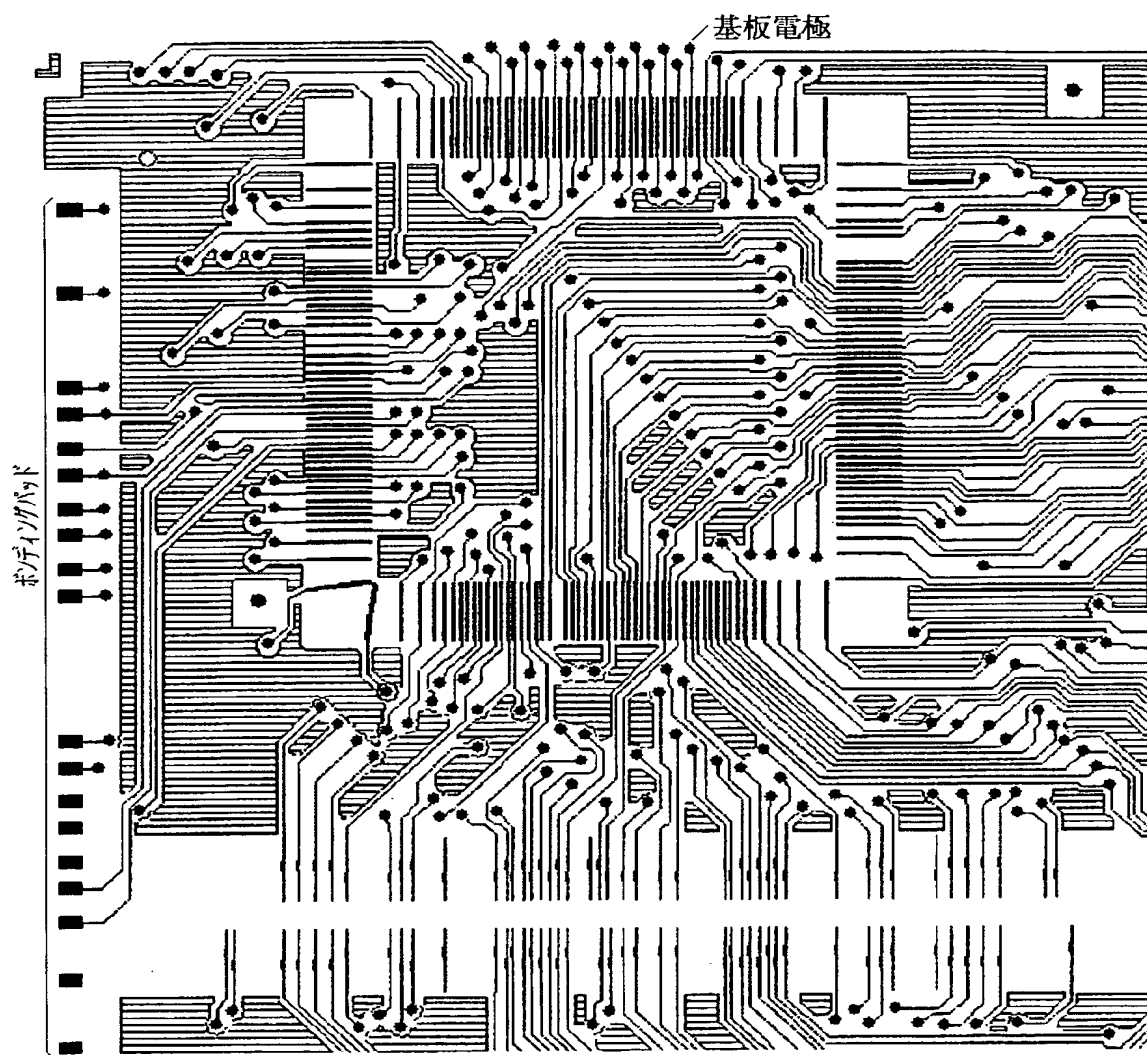
【図 4】



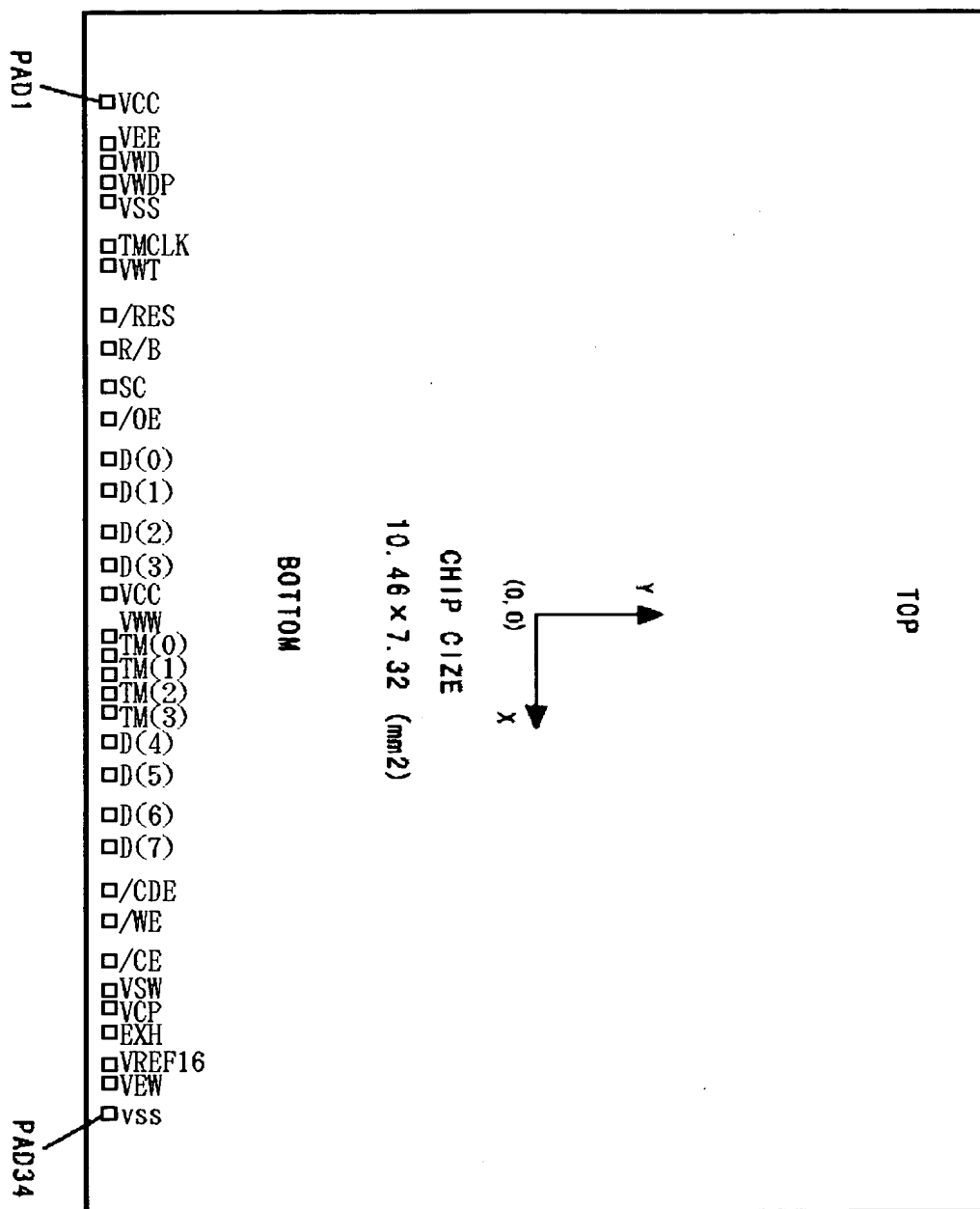
【図 5】



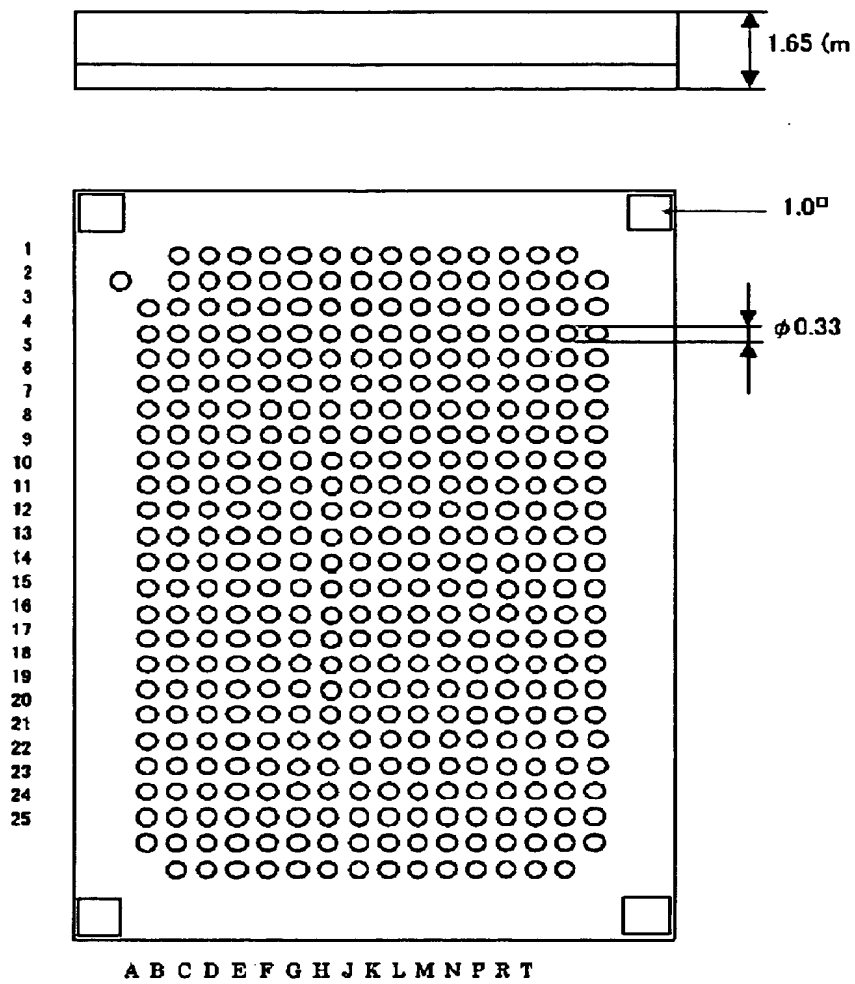
【図 6】



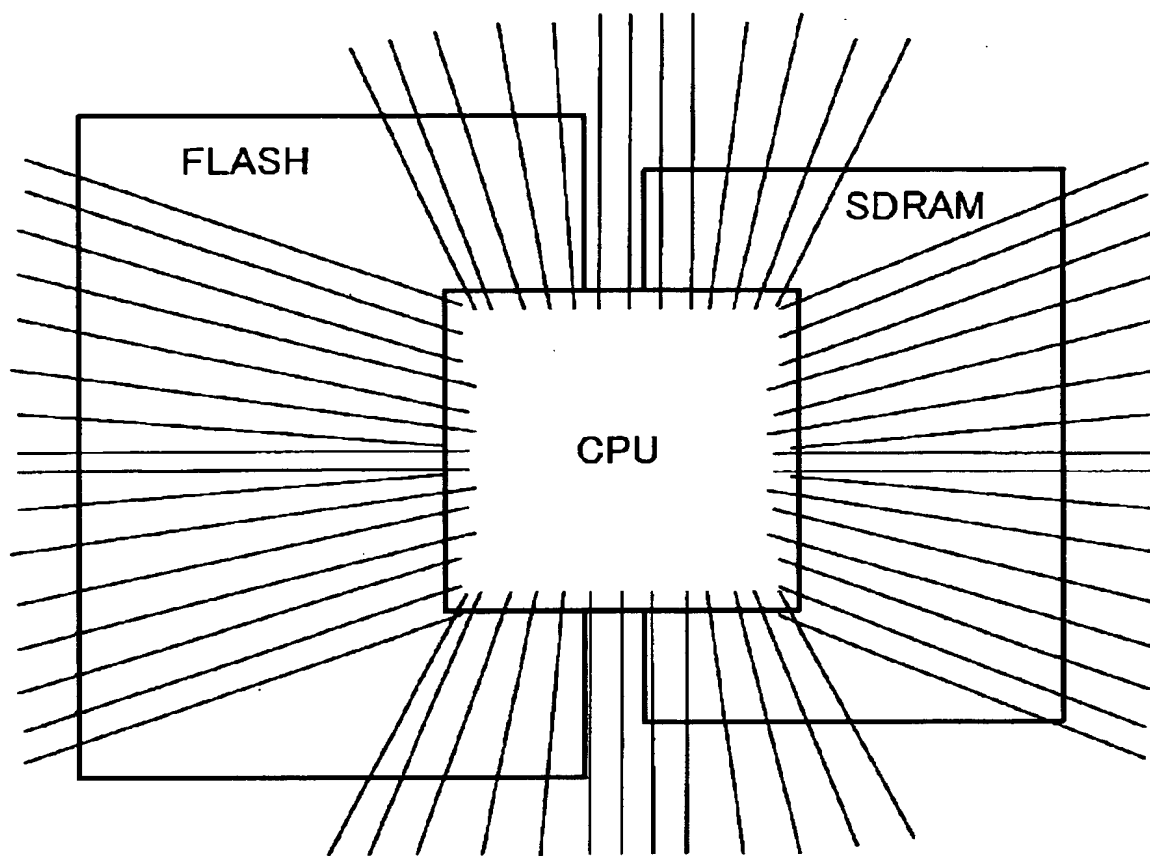
【図 7】



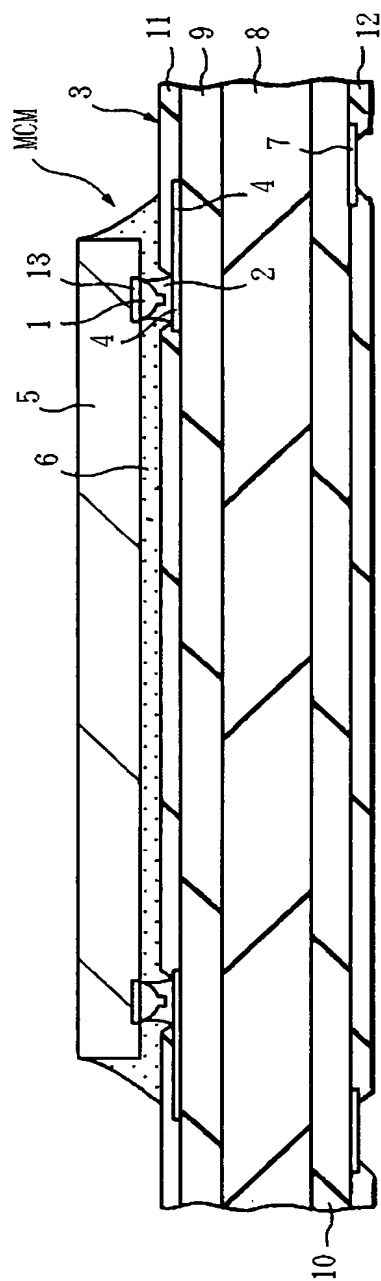
【図 8】



【図 9】

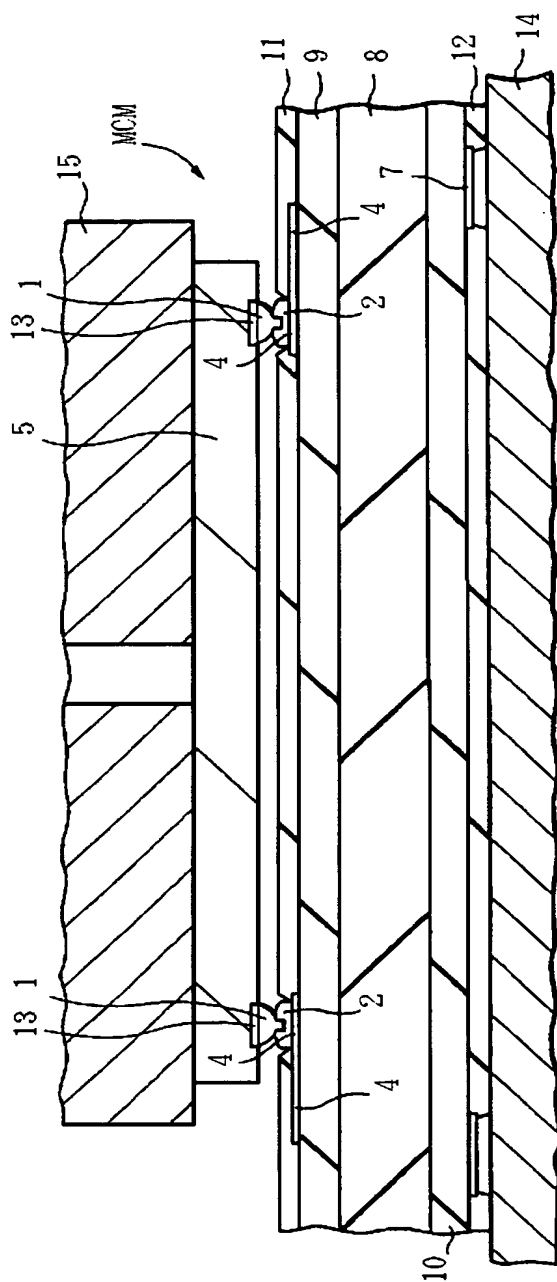


【図 10】





【図 12】





【書類名】 要約書

【要約】

【課題】 高性能化を図りつつ、いっそうの小型化を実現したマルチチップモジュールを提供する。

【解決手段】 互いに信号授受を行う複数の第 1 半導体チップを搭載基板の表面上に面付けし、かかる複数の第 1 半導体チップのうちの少なくとも 1 つと背中合わせで大半のボンディングパッドが 1 つの辺に沿って配置された第 2 半導体チップを搭載してボンディングパッドと上記搭載基板上に形成された対応する電極との間をワイヤボンディングで接続し、上記搭載基板上の上記第 1、第 2 半導体チップ及びボンディングワイヤを封止体で封止する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2002-344782  
【承継人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【承継人代理人】  
【識別番号】 100081938  
【弁理士】  
【氏名又は名称】 徳若 光政  
【提出物件の目録】  
【包括委任状番号】 0308732  
【物件名】 承継人であることを証明する登記簿謄本 1  
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する  
【物件名】 権利の承継を証明する承継証明書 1  
【援用の表示】 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 4 7 8 2
受付番号	5 0 3 0 1 2 2 3 8 8 0
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7 4 7 5
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 24 日

特願 2 0 0 2 - 3 4 4 7 8 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 4 4 7 8 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 9 0 6 8 8 ]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日  
[変更理由] 新規登録  
住 所 長野県長野市大字栗田字舎利田 7 1 1 番地  
氏 名 新光電気工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日  
[変更理由] 住所変更  
住 所 長野県長野市小島田町 8 0 番地  
氏 名 新光電気工業株式会社

特願 2 0 0 2 - 3 4 4 7 8 2

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ